

26/2/6

DIALOG(R)File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010612931 **Image available**

WPI Acc No: 1996-109884/199612

XRPX Acc No: N96-092139

Memory element connection method for e.g. electronic computer - involves connecting data pin memory element directly with signal line multiplex bus

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Basic Patent:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8006892	A	19960112	JP 94142086	A	19940624	199612 B

Priority Applications (No Type Date): JP 94142086 A 19940624

Abstract (Basic): JP 8006892 A

The memory element connection method involves coupling memory element with a multiplex bus. The address pin of the memory element is directly connected to a part of the signal line of a bus.

Similarly the data pins of the memory element are also connected to the other part of the signal line of the multiplexed bus. The address locations are present in the CPU. A bus controller outputs the output data to control the CPU.

ADVANTAGE - Avoids additional circuit of memory element. Provides connection of memory element without increasing signal pin.

Dwg.1/4

Title Terms: MEMORY; ELEMENT; CONNECT; METHOD; ELECTRONIC; COMPUTER;
CONNECT; DATA; PIN; MEMORY; ELEMENT; SIGNAL; LINE; MULTIPLEX; BUS

Derwent Class: T01

International Patent Class (Main): G06F-013/16

File Segment: EPI

Manual Codes (EPI/S-X): T01-G03; T01-H05B1

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-6892

(43)公開日 平成8年(1996)1月12日

(51)Int.Cl.⁵

G 0 6 F 13/16

識別記号

庁内整理番号

F I

技術表示箇所

5 1 0 A 7623-5B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平6-142086

(22)出願日 平成6年(1994)6月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 若森 修

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 石村 多喜二

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

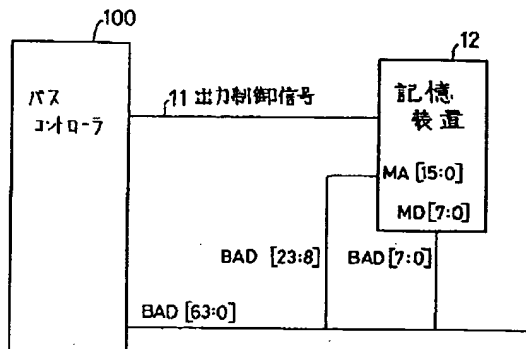
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 記憶素子接続方法及びバス制御装置

(57)【要約】

【構成】 マルチプレクスバスに結合された記憶素子において、バスの信号線の一部を記憶素子のアドレスピンと直接接続し、バスの別の信号線の一部を記憶素子のデータピンと直接接続し、バスコントローラから記憶素子の出力制御信号に接続する。上記の記憶素子接続回路をマルチプレクスバスに接続するために、CPUが出力したアドレスをバスの信号線の一部に出力する手段と、指定した記憶素子の出力制御信号を出力する手段と、それらの制御によって記憶素子がバスの別の信号線の一部に出力したデータを取り込み、蓄積する手段と、CPUが要求したプロトコルにしたがってそれらのデータをCPUに対して出力する手段をバスコントローラに備える。

【効果】 マルチプレクスバス上にブートROMなどの記憶素子を接続する場合に、記憶素子の付加回路が不要となり、またバスコントローラの信号ピンや信号線数を増加させることなく記憶素子を接続できる。



【特許請求の範囲】

【請求項1】マルチプレクスバスに記憶素子を結合する記憶素子接続方法において、マルチプレクスバスの信号線の一部を記憶素子のアドレスピンと直接接続し、前記マルチプレクスバスの信号線の別の一部を前記記憶素子のデータピンと直接接続することを特徴とする記憶素子接続方法。

【請求項2】マルチプレクスバスの信号線の一部を記憶素子のアドレスピンと直接接続し、前記マルチプレクスバスの信号線の別の一部を前記記憶素子のデータピンと直接接続し、前記記憶素子の前記データピンからのデータの出力を制御する出力制御信号を前記記憶素子へ入力するよう構成されたバスシステムとCPUとの間に設けられるバス制御装置であって、前記CPUが出力したアドレスを前記マルチプレクスバスの信号線の一部に出力する手段と、前記記憶素子への出力制御信号を出力する手段と、前記出力されたアドレス及び前記出力制御信号の制御によって前記記憶素子が前記マルチプレクスバスの信号線の別の一部に出力したデータを取り込み、蓄積する手段と、前記CPUが要求するプロトコルにしたがって蓄積された前記データを前記CPUに対して出力する手段とを具備したことを特徴とするバス制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子計算機におけるマルチプレクスバス上の記憶素子接続方法及びバス制御装置に関する。

【0002】

【従来の技術】電子計算機に使用されるバスとして、従来はアドレス線とデータ線を別の信号線としたバスが用いられていた。記憶素子のアドレスピンとデータピンは分離されているものが多いため、直接バスに記憶素子を接続できるという利点があるが、バスの信号線の本数が増えてしまうという欠点があるため、最近では、バスのアドレス線、データ線を共有し、他の制御信号により現在バス上にある信号がアドレスかデータかを識別するマルチプレクスバスがよく用いられるようになってきた。

【0003】マルチプレクスバスではタイミングと制御信号による複雑な制御が必要となるため、通常GAなどのバスコントローラを介してCPUと接続される。また、記憶素子は通常メモリコントローラを介してバスに接続される。

【0004】マルチプレクスバスへのアクセスの一例を示す。タイミングチャートを図3に示す。まず、バスコントローラがアービタにバスの使用权を要求する。これは、複数のバスモジュールが同時にバスを使用しないようにするためである。アービタからバスの使用权を獲得した後、バスコントローラはアドレスを出力し、現在バ

スに出力されている信号がアドレスであることを示すアドレスストローブ信号をアサートする。メモリコントローラはこのアドレスをラッチし、アドレスを記憶素子に入力する。記憶素子はこのアドレスに対応するデータを出力する。メモリコントローラはこのデータを取り込み、マルチプレクスバスのデータタイミングでこのデータをマルチプレクスバスに出力すると共に、現在バスに出力されている信号がデータであることを示すデータレディ信号をアサートする。バスコントローラはこのデータを取り込み、CPUにデータを渡し、バスの使用权の放棄をアービタに通知する。

【0005】マルチプレクスバスの例としては、MBus (SPARC International, SPARC MBus Interface Specification, Revision 1.2, April 10 1991) がある。

【0006】このようなマルチプレクスバスに計算機が起動された場合に最初に実行するブートプログラムが格納されたブートROMなどの記憶素子を接続することを考える。

【0007】マルチプレクスバスに記憶素子を接続するには、主に2通りの方法がある。1つはバスと記憶素子の間にアドレスのラッチ回路などを含むメモリコントローラ回路を付加する方法であり、もう1つはバスコントローラから特定の記憶素子専用のアドレス線、データ線を引き出し、その先に記憶素子を接続する方法である。

【0008】バスと記憶素子の間にメモリコントローラ回路を付加する方法では、バスコントローラ以外にバスに余分な外付けの回路を接続する必要があるという欠点があり、バスコントローラに特定の記憶素子専用のアドレス線、データ線を付加する方法では、バスコントローラのピン数が余分に必要となり、また信号線数が増加するという欠点がある。

【0009】

【発明が解決しようとする課題】上述のように、マルチプレクスバスにブートROMなどの記憶素子を接続するためにバスと記憶素子の間にメモリコントローラなどの回路を付加する方法では、バスコントローラ以外に余分な外付けの回路を接続する必要があるという欠点があり、バスコントローラに特定の記憶素子専用のアドレス線、データ線を付加する方法では、バスコントローラのピン数が余分に必要となり、また信号線数が増えるなどの欠点があった。

【0010】本発明は、上記問題を解決するためになされたもので、マルチプレクスバス上に記憶素子を接続する場合に、付加回路を不要にし、かつ、信号ピンや信号線数を増加させることなく記憶素子を接続することを目的とする。

【0011】

【課題を解決するための手段】本発明は、マルチプレク

バスに結合された記憶素子において、マルチプレクスバスの信号線の一部を記憶素子のアドレスピンと直接接続し、マルチプレクスバスの別の信号線の一部を記憶素子のデータピンと直接接続することを特徴とする。

【0012】記憶素子としては、読み出し専用メモリだけでなく、読み書き可能なメモリを接続することも可能である。読み出し専用メモリを接続する場合には、出力制御信号のみによりメモリの制御を行うが、読み書き可能なメモリを接続する場合には、出力制御信号の他に書き込み制御信号も付加することによりメモリの読み書きの制御を行う。

【0013】この記憶素子をマルチプレクスバスに接続するため、CPUが出力したアドレスをマルチプレクスバスの信号線の一部に出力する手段と、記憶素子の出力制御信号を出力する手段と、それらの制御によって記憶素子がマルチプレクスバスの別の信号線の一部に出力したデータを取り込み、蓄積する手段と、CPUが要求したプロトコルにしたがってそれらのデータをCPUに対して出力する手段とをバスコントローラに具備する。

【0014】

【作用】本発明によると、マルチプレクスバスの信号線の一部に記憶素子のアドレスを出力すると共に、記憶素子の出力制御信号をアサートする。マルチプレクスバスの一部の信号線が記憶素子のアドレスピンに直接接続されているので、記憶素子はこのアドレスに対応するデータをデータピンに出力する。記憶素子のデータピンはマルチプレクスバスの信号線の別の一部に直接接続されているので、バスコントローラはこの信号線からデータを受信する。この動作を数回繰り返し、CPUが要求したデータが全て揃った時点でCPUにこのデータを送信する。

【0015】

【実施例】以下、図面に基いて本発明の一実施例について説明する。なお、以下の説明では、バス幅が64ビットのマルチプレクスバスに16ビットのアドレス幅、8ビットのデータ幅を持つ記憶素子を接続する場合を例にとって説明するが、本発明は、これに限定されるものではなく、任意のバス幅を持つマルチプレクスバスに、任意のアドレス幅、データ幅を持つ記憶素子を接続する場合にも適用が可能である。

【0016】本実施例では、バスコントローラを介してCPUに接続された64ビットのバス幅を持つマルチプレクスバスに、データ幅が8ビット、アドレス幅が16ビットの、64キロバイトの容量を持つROMを接続する場合について説明する。

【0017】以下の説明において、複数のビットの指定方法で、例えばビット8、7、6、5の4本をまとめて、[8:5]のように示すこととする。マルチプレクスバスのビット指定はBAD[23:8]のようにBADの語を用いて示す。同様に、記憶素子のアドレスピン

指定はMA[15:0]のようにMAの語を用いて、記憶素子のデータピン指定はMD[7:0]のようにMDの語を用いて示すこととする。

【0018】図1は、本発明の一実施例に係るマルチプレクスバス上のROMの接続回路の機能ブロック図を示したものである。この接続回路はROMの出力制御信号11、ROM(記憶装置)12から構成されている。

【0019】ROMの出力制御信号11は、バスコントローラが発行するものであり、この信号がアサートされている場合ROMがデータをバスに出力し、アサートされていない場合はROMは出力端子をハイインピーダンスにする。

【0020】ROM12は、アドレスピンにアドレスを入力し、ROMの出力制御信号11をアサートすると、ROM内部に記憶されているデータをデータピンに出力するものである。読み出し専用メモリだけでなく、読み書き可能なメモリを接続することも可能である。この場合は出力制御信号だけでなく入力制御信号も必要となる。

【0021】このような構成のROMの接続回路において、CPUがROMのアドレスに対して、32ビットのデータを要求した場合についての動作を記述する。タイミングチャートを図4に示す。

【0022】まず、バスコントローラがアービタにバスの使用权を要求する。これは、複数のバスモジュールが同時にバスを使用しないようにするためである。アービタからバスの使用权を獲得した後、バスコントローラはROM12にアクセスするために、アドレスを示す16ビットの信号をバス上のBAD[23:8]に出力すると共に、ROMの出力制御信号11をアサートする。

【0023】マルチプレクスバス上のBAD[23:8]の16ビットの信号はROM12のアドレスピンMA[15:0]に直接接続されている。これにより、記憶素子12は、アドレスピンMA[15:0]から入力されたアドレスによって指定された8ビットのデータを、ROMの出力制御信号11に従い、データピンMD[7:0]に出力する。

【0024】記憶素子のデータピンMD[7:0]はマルチプレクスバスのBAD[7:0]に直接接続されている。これにより、ROMのデータピンMD[7:0]に出力された8ビットのデータはマルチプレクスバスのBAD[7:0]に出力される。

【0025】バスコントローラは、BAD[7:0]の信号線からバスに出力された8ビットのデータを取り込む。CPUが要求したデータのサイズは32ビットであるが、ROMから一度に読み出せるデータのサイズは8ビットであるので、ROMからの読み出しを4回繰り返し、レジスタに順次蓄積し、32ビットのデータが揃った時点で、ROMから読み出したデータをまとめてCPUに対して出力する。

【0026】図2は、バスコントローラ内部のROM12に係る制御装置の構成図を示したものである。このROMの制御装置は、制御装置101、上位ビット出力制御装置102、下位ビット出力制御装置103、一時記憶レジスタ104、データ選択装置105から構成されている。

【0027】制御装置101は、CPUが発行した命令とアドレスを解釈し、上位ビット出力制御装置102、下位ビット出力制御装置103、一時記憶素子104、出力制御信号11を制御する装置である。

【0028】上位ビット出力制御装置102は、マルチプレクスバスのBAD[63:8]のビットの出力を制御する装置であり、制御装置101からの制御信号によって、バスのBAD[63:8]の信号をドライブするか、ハイインピーダンス状態にするかを選択する装置である。

【0029】下位ビット出力制御装置103は、マルチプレクスバスのBAD[7:0]のビットの出力を制御する装置であり、制御装置101からの制御信号によって、バスのBAD[8:0]の信号をドライブするか、ハイインピーダンス状態にするかを選択する装置である。

【0030】一時記憶レジスタ104は、CPUからの読み出し要求のあったデータのビット数が32ビットであるのに対して、ROMが一度に出力することができるデータのビット数が8ビットであるため、ROMに4回アクセスすることが必要になるが、その間、記憶素子から読み出したデータを一時的に蓄積しておくための装置である。

【0031】データ選択装置105は、CPUからのメモリアクセスが対象とするアドレスが記憶素子12かそれ以外かにより、CPUに対して出力するデータを記憶素子12から本発明による手段により読み出したデータか、通常のアクセスによって読み出したデータかを選択する。

【0032】このような構成のバスコントローラ内部のROM制御装置において、ROM12へのアクセスに際しては、次のように処理が行われる。まず、制御装置101がCPUから発行された命令とアドレスを解釈する。CPUから発行された命令がROM12に割り当てられているアドレスへのアクセスの場合は、以下の動作を行う。ROM以外のアドレスに対するアクセスの場合は、前述の通常のマルチプレクスバスにおけるアクセス手段を用いる。

【0033】ROM12へのアクセスに際しても、通常のバスアクセスと同様にアービトレーションを行ってバスの使用権を獲得する。これにより他のバス構成モジュールからはバスコントローラがバス上のモジュールに通常通りアクセスしているように見える。

【0034】バスコントローラがバスマスタになった

後、バスのBAD[23:8]にアドレスを出力するため、上位ビット出力制御装置102をドライブする。また、データをバスのBAD[7:0]から取り込むため、下位ビット出力制御装置103はバイインピーダンスにしておく。さらに、出力制御信号11をアサートする。前述のように、ROM接続回路はこのアドレスを取り込み、マルチプレクスバスの一部にデータを出力する。

【0035】バスコントローラがROM12からデータを取り込む時間はバスコントローラの内部レジスタに設定し、カウンタによって指定した時間待つようにする。ROMはアクセス時間が長く、通常のバスサイクル時間ではデータが出力できないため、データアクセス時間を延長するためこのような仕組みが必要である。

【0036】バスコントローラ内部のROM制御装置はこのデータを取り込み、一時記憶レジスタ104にデータを蓄積する。CPUが32ビットデータを要求しているのに対し、ROM12が一度に出力できるデータは8ビットであるので、ROM12に4回のアクセスを実行して、一時記憶レジスタ104にデータを蓄積し、32ビットのデータが揃った時点でCPUに対して1回のアクセスで32ビットのデータを出力する。

【0037】CPUに対する応答として、データ選択装置105で一時記憶レジスタを選択し、一時記憶レジスタ104に蓄積されたデータを出力する。最後にバスコントローラはバスの使用権を放棄し、バスを解放する。これにより、他のバス構成モジュールからはバスコントローラがバス上のモジュールのアクセスを通常通り終了したように見えるので他のバスモジュールがバスを使用することが可能になる。

【0038】ROMの代わりにRAMを用いる場合は、出力制御信号の他に、読み書きに必要な機能として、書き込み制御信号と、CPUが出力したデータを一時的に蓄え、ROMのデータのビット数に応じて順次マルチプレクスバスに出力する仕組みを具備する必要がある。

【0039】バスコントローラ内部に記憶素子の切り替えビットを設け、ROM12に割り当てられたアドレス領域アクセスする際、ROM12に対するアクセスではなく、通常のバスアクセスにすることも可能である。これにより、シャドウROMとすることができる。この切り替えビットをハードウェアリセット時にセットされるようにしておくと、ハードウェアリセット後は必ずブートROMに対してアクセスが行われるようにすることが可能である。

【0040】なお、本発明は前述したように、特定のバス幅のバスに限定されるものではなく、任意のバス幅を持つマルチプレクスバスに接続した任意のアドレス幅、データ幅を持つ記憶素子の接続回路にも適用が可能である。その他、本発明は要旨を逸脱しない範囲で種々変更して実施可能である。

10

20

30

40

50

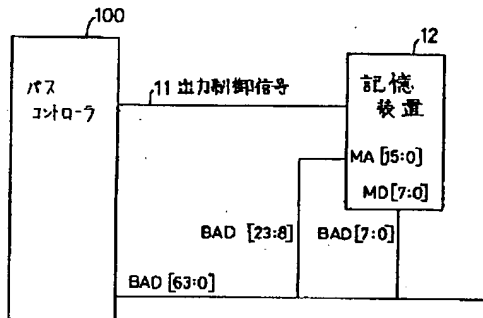
【0041】

【発明の効果】 上述のように、マルチプレクスバス上に記憶素子を接続する際に、バスの信号線の一部を記憶素子のアドレスピンに直接接続し、バスの別の信号線の一部を記憶素子のデータピンに直接接続することにより記憶装置の出力制御信号のみを追加するだけで記憶装置を接続できる。このため、メモリコントローラ回路を付加する必要がなく、また、バスコントローラに記憶素子専用のアドレスピンやデータピンを付加する必要がないのでバスコントローラのピン数や信号線数を増加させることなく記憶素子を接続することができる。

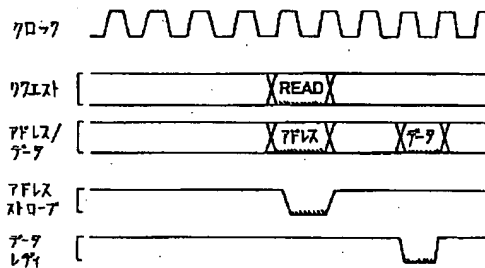
【図面の簡単な説明】

【図1】 本発明の一実施例に係るマルチプレクスバス上の記憶素子の接続方法を示すブロック図。

【図1】



【図3】



*【図2】 バスコントローラ内部の記憶素子12に係る制御装置の構成を示すブロック図。

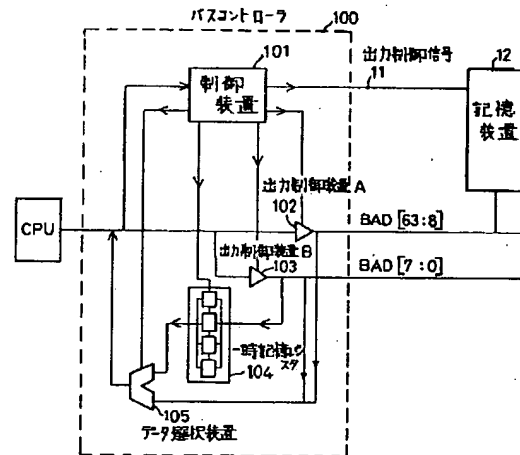
【図3】 マルチプレクスバスの通常のアクセス方法におけるタイミングチャート。

【図4】 マルチプレクスバスの本方式のアクセス方法におけるタイミングチャート。

【符号の説明】

- 11…記憶素子の出力制御信号
- 12…記憶素子
- 101…制御装置
- 102…上位ビット出力制御装置
- 103…下位ビット出力制御装置
- 104…一時記憶レジスタ
- 105…データ選択装置

【図2】



【図4】

